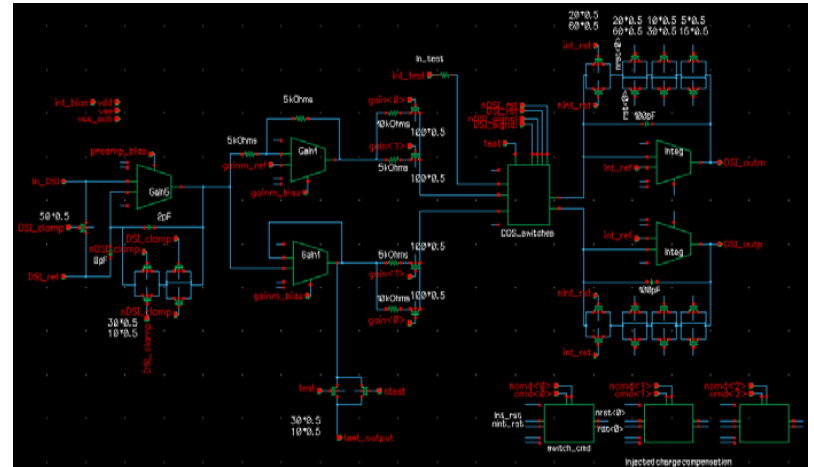


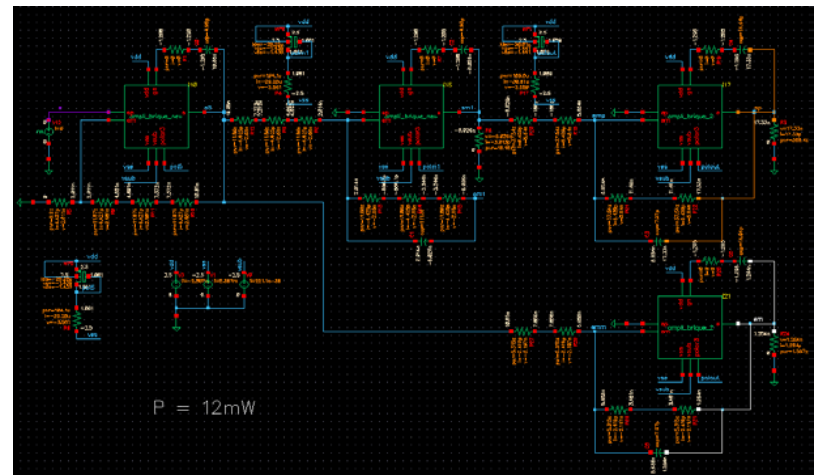
# Front End ASIC pour la lecture des CCD de LSST

- R&D : LAL & LPNHE
- ASIC de lecture des CCD :
  - ~200 ccd , taille des pixels 10x10 micron , taille des ccd 4kx4k ( 3.5 Gpixels) , 16 canaux de lecture par ccd : 3200 voies d'électronique
  - Lecture des pixels à 500 kHz ( temps de lecture 2s , temps de pose 15s )
  - Taille du puits : 100 000 e<sup>-</sup> , bruit de lecture 6 e<sup>-</sup> rms , dynamique 16 bits, 0.01% de diaphonie
  - L'ensemble dans un cryostat à -100 °C
- 2 architectures sont à l'étude :
  - Dual Slop Integrator ( DSI ) : LSST baseline
  - Clamp and Sample ( C&S )
- Planning :
  - Le design du circuit est en court de finalisation
  - Un ASIC 8 voies ( 4 DSI + 4 C&S ) sera envoyé à la fabrication pour le run de fin juillet de AMS ( CMOS 0.35µm -5V )
  - Ce circuit/design sera validé cet automne dans les conditions d'utilisation ( froid ... )

## ASPIC Dual Slop Integrator - Channel



## ASPIC Clamp and Sample - Channel



P = 12mW