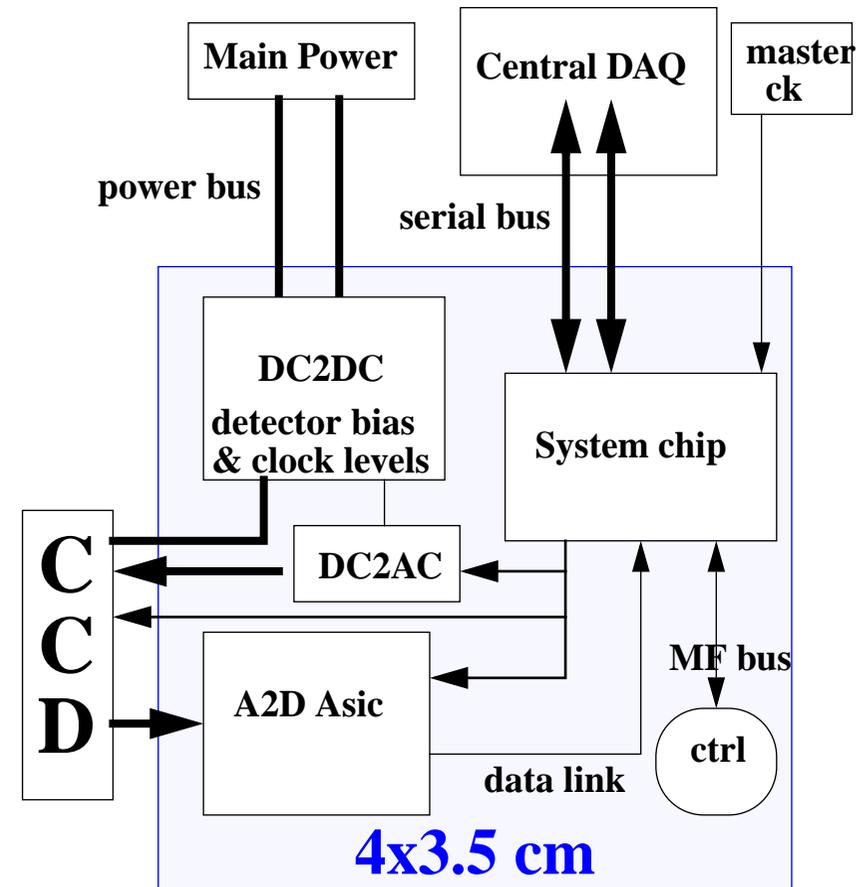


Revue Asic pour DUNE/JDEM

Vue générale

SPECIFICATIONS GENERALES

- A2D commun pour CCD et IR
- System, DC2DC, DC2AC pour CCD
- choix CCD à faire (LBNL vs EEV??)
- main power (+30V, variés, 5V??)
- serial bus (usb, spacewire, ??)
- nombre de canaux A2D: 4?
- dimensions du PCB (4x3.5??)
- mémoire pour system chip?
- liste fonctions CCD (clear, reset, read, powerup, veille, réveil...)
-



Feuille de route:

1. Revue spécifications A2D
2. Validation expérimentale sur asic 1 C&S avec banc de test CCD et IR
3. Lancement A2D
4. Lancement étude system chip FPGA et/ou ASIC
5. Lancement étude DC2**
6. Test analogique A2D
7. Test autres composants
8. Assemblage système à chaud, puis dans cryostat

Spécifications A2D (CCD & IR):

1. Spécifications “scientifiques”: bruit et dérive ligne de base (hi/lo gain) vs pixel rate, lsb (hi/lo gain), fonction de transfert (linéarité, continuité hi/lo, saturation, stabilité), reproductibilité canal-canal, temps de pose, X-talk pixel $n \rightarrow n+1$, calibration électronique, calibration in-situ...
2. Spécifications environnement: température, radiation, alimentation, dissipation, EMI, système,...
3. Spécifications électriques: powerup/veille/réveil/glitches (CCD swing \gg ASIC swing), stabilité alim, découplage

Choix de design

1. Double gain: Pour passer une dynamique SNR supérieure à 14 bits avec un swing inférieur à 3.5 V impose pratiquement un gain multiple à l'entrée. L'arithmétique montre que deux gains dans un rapport 32 avec un bruit poissonien permet de coder sans perte 2 à $2^{18} e^-$ en laissant la possibilité de matcher les bruits analogique et numérique au niveau de $0.6 e^-$ (en fait ce niveau de bruit analogique ne s'obtient qu'avec des lectures lentes. Voir rapport asic 1 C&S). Vrai ou faux?
2. Niveau de bruit à l'entrée: Nous avons un niveau de 6.5-7 nv/sqrt(hz) descendant à 4.5 à 140K. C'est supérieur au bruit thermique du CCD, encore qu'il doit y avoir un "extra-noise" dans le CCD. Peut-on faire mieux, pour ramener le bruit ampli au-dessous du CCD? Peut-on comprendre pourquoi le gain 60 est pire que le gain 3?

3. Fonction “CDS” et filtrage: Le clamp existe dans tout les cas, à l’entrée de l’ampli, pour accomplir la fonction DC restore. La qualité du clamp résulte de la capacité de liaison AC et de la résistance de sortie du CCD, tous deux externes au chip (bruit du reset filtré par C_1 en $\sqrt{t/C_1}$ et atténuation du KTC_{CCD} en $\exp(-t/R_{CCD}C_1)$). Si ce bruit de clamp est suffisamment petit, il n’y a pas lieu d’échantillonner le niveau de reset CCD, d’où économie de temps et de complexité (megacam). Dans ce cas on peut filtrer un seul échantillon au lieu de deux et le bloquer à l’entrée de l’ADC (pour chaque voie ou pour une seule). Question 1: comment éviter que cette intégration ne fabrique un temps mort important de reset de l’intégrateur comme chez xx? Question 2: optimisation du range de filtrage, minimum, maximum? Question 3: Y-a-t’il double emploi avec le hold de l’ADC? (Question subsidiaire: Si l’ADC est rapide par rapport au temps caractéristique de filtrage du CCD pour un niveau de bruit donné, le choix du mode de

traitement de signal peut se faire en aval sur des données numériques 12 bits. Peut-on laisser ce multisampling numérique en option?)

4. Le seul moyen d'étudier le bruit in-situ consiste à avoir une sortie analogique avant filtrage.

Comment la faire pour chaque gain, sans trop plomber le fonctionnement normal?

5. Circuit d'entrée: A-Minimiser la charge injectée par le clamp switch (apparemment pas d'inconvénient). B-Introduire deux switches 1) pour la mise sous tension, 2) la stabilité DC (1M Ω)? C- Diode de protection: rôle en cas de glitch? D- Comme bien connu minimiser les résistances parasites d'entrées, sources de couplage hi-lo gain. E- Y-a-t'il des contraintes à exiger pour la sécurité powerup etc...?

6. ADC: convert série ou parallèle?

7. Quel type de data link pour la sortie des ADC? Rate etc?
8. Quels sont les états du chip A2D correspondants aux différentes fonctions du CCD? Ou les mémoriser? Y-a-t'il des timings critiques internes?
9. Quelles sont les fonctions de slow-control à implémenter sur le A2D (plutot que sur le chip system) eg temperature monitoring, voltage monitoring, dac, electronic calibration? Si il peuvent se faire en utilisant les voies de digitisation, quels sont les switches à prévoir? avec quels inconvénients?